

SEMICONDUCTOR DEVICE AND ITS MANUFACTURING METHOD

Patent Number: JP2001127095

Publication date: 2001-05-11

Inventor(s): SHIBAMOTO TSUTOMU;; KINOSHITA ATSUSHI;; WAKABAYASHI SHINICHI;; ONO MASAFUMI;; YOSHIHARA TAKAKO;; YAMANO KOJI;; ASHIZAWA KIMIO

Applicant(s): SHINKO ELECTRIC IND CO LTD

Requested
Patent: ☐ JP2001127095Application
Number: JP19990308573 19991029Priority Number
(s):

IPC

Classification: H01L21/60; H01L21/56; H01L23/12; H01L23/29; H01L23/31

EC

Classification:

Equivalents:

Abstract

PROBLEM TO BE SOLVED: To relieve influence to bump electrodes caused by thermal stress before and after mounting a package, and to improve reliability in a semiconductor device (package) having the bump electrodes used as external connection terminals.

SOLUTION: In the semiconductor device where an interlayer insulation layer 13 is formed on a semiconductor chip 30, and a sealing resin layer 19 for protecting the semiconductor chip 30 from external atmosphere and at the same time bump electrodes 20 used as external connection terminals are provided, at least the interlayer insulation layer 13 is formed by using resin with a specific low thermal coefficient of expansion and a specific low modulus of elasticity. In a preferred embodiment, the sealing resin layer 19 is also formed by using the resin with a specific low thermal coefficient of expansion and a specific low modulus of elasticity. The specific low thermal coefficient of expansion of 40 ppm/ deg.C or less, preferably, 30 ppm/ deg.C or less, is selected, and the specific low modulus of elasticity of 4 GPa or less, preferably, 3 GPa or less, is selected.

Data supplied from theesp@cenet database - I2

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2001-127095

(P 2 0 0 1 - 1 2 7 0 9 5 A)

(43) 公開日 平成13年5月11日 (2001. 5. 11)

(51) Int. Cl. ⁷	識別記号	F I	テマコード (参考)
H01L 21/60		H01L 21/56	E 4M109
21/56		21/92	602 L 5F061
23/12		23/12	L
23/29		23/30	R
23/31			

審査請求 未請求 請求項の数 8 O L (全 9 頁)

(21) 出願番号 特願平11-308573
 (22) 出願日 平成11年10月29日 (1999. 10. 29)

(71) 出願人 000190688
 新光電気工業株式会社
 長野県長野市大字栗田字舍利田 711 番地
 (72) 発明者 柴本 強
 長野県長野市大字栗田字舍利田 711 番地
 新光電気工業株式会社内
 (72) 発明者 木下 淳
 長野県長野市大字栗田字舍利田 711 番地
 新光電気工業株式会社内
 (74) 代理人 100091672
 弁理士 岡本 啓三

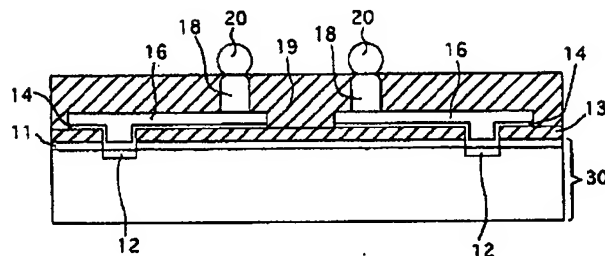
最終頁に続く

(54) 【発明の名称】 半導体装置及びその製造方法

(57) 【要約】

【課題】 外部接続端子として突起状電極を備えた半導体装置（パッケージ）において、パッケージの実装時及び実装後に突起状電極に及ぼされる熱ストレスによる影響を緩和し、信頼性を向上させることを目的とする。

【解決手段】 半導体チップ 30 上に層間絶縁層 13 が形成され、さらに半導体チップ 30 を外部雰囲気から保護する封止樹脂層 19 を有すると共に、外部接続端子としての突起状電極 20 を備えた半導体装置において、少なくとも層間絶縁層 13 を特定の低熱膨張率及び特定の低弾性率を有する樹脂を用いて形成する。好適な実施形態では、さらに封止樹脂層 19 を特定の低熱膨張率及び特定の低弾性率を有する樹脂を用いて形成する。特定の低熱膨張率は $40 \text{ ppm}/^{\circ}\text{C}$ 以下、好適には $30 \text{ ppm}/^{\circ}\text{C}$ 以下に選定され、特定の低弾性率は 4 GPa 以下、好適には 3 GPa 以下に選定される。



【特許請求の範囲】

【請求項1】 半導体チップの電極パッド形成面上に層間絶縁層が形成され、該層間絶縁層上に前記半導体チップを外部雰囲気から保護する封止樹脂層が形成されると共に、前記半導体チップの電極パッドと電氣的に接続され、前記封止樹脂層を貫通して露出する外部接続端子としての突起状電極を備えた半導体装置において、少なくとも前記層間絶縁層の一部が、特定の低熱膨張率及び特定の低弾性率を有する樹脂によって形成されていることを特徴とする半導体装置。

【請求項2】 さらに前記封止樹脂層が、前記特定の低熱膨張率及び特定の低弾性率を有する樹脂によって形成されていることを特徴とする請求項1に記載の半導体装置。

【請求項3】 前記特定の低熱膨張率が $40\text{ ppm}/^{\circ}\text{C}$ 以下に選定され、前記特定の低弾性率が 4 GPa 以下に選定されていることを特徴とする請求項1又は2に記載の半導体装置。

【請求項4】 前記特定の低熱膨張率が $30\text{ ppm}/^{\circ}\text{C}$ 以下に選定され、前記特定の低弾性率が 3 GPa 以下に選定されていることを特徴とする請求項1又は2に記載の半導体装置。

【請求項5】 電極パッドが形成された半導体チップの表面に、前記電極パッドが露出する開口部を有するように層間絶縁層を形成する工程と、前記電極パッドが露出する開口部を埋め込むように前記層間絶縁層上に配線層を形成する工程と、前記配線層の端子形成部分に対応する領域を除いて、前記半導体チップを封止樹脂層で覆う工程とを含み、前記層間絶縁層を形成する工程において、少なくとも前記層間絶縁層の一部を特定の低熱膨張率及び特定の低弾性率を有する樹脂を用いて形成することを特徴とする半導体装置の製造方法。

【請求項6】 さらに前記半導体チップを封止樹脂層で覆う工程において、前記封止樹脂層を前記特定の低熱膨張率及び特定の低弾性率を有する樹脂を用いて形成することを特徴とする請求項5に記載の半導体装置の製造方法。

【請求項7】 前記特定の低熱膨張率が $40\text{ ppm}/^{\circ}\text{C}$ 以下で、前記特定の低弾性率が 4 GPa 以下の樹脂を用いて形成することを特徴とする請求項5又は6に記載の半導体装置の製造方法。

【請求項8】 前記特定の低熱膨張率が $30\text{ ppm}/^{\circ}\text{C}$ 以下で、前記特定の低弾性率が 3 GPa 以下の樹脂を用いて形成することを特徴とする請求項5又は6に記載の半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、半導体装置及びその製造方法に係り、特に、高密度実装に対応するために

外部接続端子としてはんだボールやピン等の突起状電極を備えた半導体装置、例えばボール・グリッド・アレイ(BGA)型のパッケージ構造やピン・グリッド・アレイ(PGA)型のパッケージ構造あるいはチップ・サイズ・パッケージ(CSP)構造を有する半導体装置、をプリント基板等を実装した時に生じる熱ストレスに起因する剪断応力を緩和するのに有用な技術に関する。

【0002】なお、以下の記述において「半導体チップ」とは、特に定義していない限り、ウエハから切断分離された後の個々の半導体素子を指すのはもちろんのこと、CSP構造の半導体装置のようにウエハに作り込まれていて未だ切断分離される前の状態にある個々の半導体素子をも指すものとする。

【0003】

【従来の技術】 上述した突起状電極を備えた半導体装置として、例えばBGA型のパッケージ構造を有するフリップチップ実装向けの半導体装置を例にとり、図1を参照しながら説明する。図中、(a)は半導体装置1aの断面的な構造、(b)はパッケージ(半導体装置1a)を実装基板に実装した時の側面から見た状態、(c)は実装時に発生する問題点を示している。

【0004】半導体装置1aにおいて、1は周知の方法で半導体基板に集積回路が作り込まれた半導体チップ、2は半導体チップ1の保護膜としてのパッシベーション膜、3は半導体チップ1から露出した電極パッド、4は半導体チップ1上に形成されたポリイミド系樹脂等からなる絶縁層(層間絶縁層)、5は絶縁層4の所要の箇所に形成されたビア・ホールを介して電極パッド3に接続されるように形成された金属薄膜、6は金属薄膜5を給電層として電解めっきにより形成された再配線層、7はポリイミド系樹脂等からなる封止樹脂層、8は再配線層6の端子形成部分に形成されたはんだボール(パッケージの外部接続端子)を示す。

【0005】また、9はプリント基板等の実装基板、9aは実装基板9上に形成された絶縁性の保護膜、9bはパッケージ1aの外部接続端子(はんだボール8)が形成されている位置に対応して実装基板9の保護膜9aに形成された開口部から露出する電極パッドを示す。さらに、Cはクラック(亀裂)が生じている様子を表している。

【0006】パッケージ1aの実装は、図1(b)に示すように、パッケージ1aの外部接続端子に相当するはんだボール8を実装基板9上の対応する電極パッド9bに接触させて、リフローにより行われる。つまり、加熱処理によりはんだボール8を介してパッケージ1aと実装基板9との接続が行われる。この際、図1(b)に示すようにパッケージ1a(半導体チップ1)の熱膨張率と実装基板9の熱膨張率が異なるため、その相違に起因して熱ストレスが生じる。この熱ストレスは、パッケージ1aと実装基板9を接続しているはんだボール8に作

用し、特に矢印Pで示すようにはんだボール8の接合部分の近傍に剪断応力として集中する。

【0007】

【発明が解決しようとする課題】 上述したようにはんだボール等の突起状電極を備えた従来の半導体装置では、パッケージ1a(半導体チップ1)と実装基板9の熱膨張率の違いに起因して生じる熱ストレスを緩和し得る部材ははんだボール8のみであるため、実装後は熱ストレスに対して弱く、必ずしも満足できる接続信頼性が得られるとは限らないという問題があった。

【0008】 また、熱ストレスによる剪断応力がはんだボール8の接合部分の近傍(矢印Pで示す部分)に集中すると、図1(c)に示すようにはんだボール8の接合部分の近傍にクラックCが生じる可能性がある。このようなクラックCが生じると、はんだボール8が部分的に破損したり、また場合によっては破断したりして、パッケージ1aの外部接続端子としての機能を果たすことができないといった問題が生じる。これは、パッケージ1aとしての信頼性の低下につながるばかりでなく、結局はパッケージ1aと実装基板9の接続信頼性の低下にもつながる。

【0009】 一方、実装後の接続信頼性を向上させるためにはんだボールのサイズを大きくすることが考えられるが、昨今の半導体装置の技術動向に鑑みて、この方法を採用するのは必ずしも容易ではない。なぜならば、チップの高集積化による多ピン化と、半導体装置に対する小型化及び高密度化の要求は益々厳しくなっており、その両立には狭ピッチ化が避けられなくなっており、このような狭ピッチ化に対してはんだボール径が律則してしまうからである。

【0010】 以上に説明した問題点は、BGA型のパッケージ構造を有する半導体装置に特有なものではなく、同様の突起状電極を備えたCSP構造の半導体装置やPGA型のパッケージ構造を有する半導体装置についても起こり得ることである。本発明は、上述した従来技術における課題に鑑み創作されたもので、パッケージの実装時及び実装後に外部接続端子である突起状電極に及ぼされる熱ストレスによる影響を緩和し、ひいては信頼性を向上させることができる半導体装置及びその製造方法を提供することを目的とする。

【0011】

【課題を解決するための手段】 上述した従来技術の課題を解決するため、本発明の一形態によれば、半導体チップの電極パッド形成面上に層間絶縁層が形成され、該層間絶縁層上に前記半導体チップを外部雰囲気から保護する封止樹脂層が形成されると共に、前記半導体チップの電極パッドと電気的に接続され、前記封止樹脂層を貫通して露出する外部接続端子としての突起状電極を備えた半導体装置において、少なくとも前記層間絶縁層の一部が、特定の低熱膨張率及び特定の低弾性率を有する樹脂

によって形成されていることを特徴とする半導体装置が提供される。

【0012】 また、本発明の他の形態によれば、電極パッドが形成された半導体チップの表面に、前記電極パッドが露出する開口部を有するように層間絶縁層を形成する工程と、前記電極パッドが露出する開口部を埋め込むように前記層間絶縁層上に配線層を形成する工程と、前記配線層の端子形成部分に対応する領域を除いて、前記半導体チップを封止樹脂層で覆う工程とを含み、前記層間絶縁層を形成する工程において、少なくとも前記層間絶縁層の一部を特定の低熱膨張率及び特定の低弾性率を有する樹脂を用いて形成することを特徴とする半導体装置の製造方法が提供される。

【0013】 本発明に係る半導体装置及びその製造方法によれば、少なくとも層間絶縁層の一部が特定の低熱膨張率及び特定の低弾性率を有する樹脂によって形成されているので、実装時及び実装後に半導体チップと実装基板の熱膨張率の違いに起因して熱ストレスによる剪断応力が生じても、その剪断応力は、突起状電極のみに及ぼされることなく、その特定の樹脂層(層間絶縁層)にも及ぼされる。つまり、この樹脂層が緩衝層として作用し、それによって熱ストレスによる剪断応力を有効に吸収し、その影響を緩和することができる。これは、パッケージとしての信頼性と共に実装後の接続信頼性の向上に大いに寄与する。

【0014】

【発明の実施の形態】 図2は本発明の一実施形態に係る半導体装置(パッケージ)の断面的な構造を模式的に示したものである。本実施形態はCSP構造の半導体装置を対象としている。図2において、30は半導体チップ、11は半導体チップ30の保護膜としてのパッシベーション膜、12は半導体チップ30上に形成された電極パッド、13は半導体チップ30上に形成された絶縁層(層間絶縁層)、14は絶縁層13の所要の箇所に形成されたビア・ホールを介して電極パッド12に接続されるように形成された金属薄膜、16は金属薄膜14を給電層として電解めっきにより形成された再配線層、18は再配線層16の端子形成部分に形成されたビア・ポスト、19は本パッケージを外部雰囲気から保護するための封止樹脂層、20はビア・ポスト18の頂上部に接合されたはんだボール(パッケージの外部接続端子)を示す。

【0015】 絶縁層(層間絶縁層)13及び封止樹脂層19は、本発明の特徴をなす部分であり、本実施形態ではいずれも、特定の低熱膨張率及び特定の低弾性率を有する感光性の樹脂によって形成されている。この感光性の樹脂としては、例えばシリコン系樹脂、感光性のエポキシ系樹脂等を好適に用いることができる。また、かかる感光性の樹脂に代えて、非感光性の樹脂を用いてもよい。非感光性の樹脂としては、例えばアンダーフィル

材として多用される非感光性のエポキシ系樹脂や非感光性のソルダレジスト等を用いることができる。

【0016】いずれの樹脂を用いるにせよ、特定の低熱膨張率として熱膨張率が $40\text{ ppm}/^{\circ}\text{C}$ 以下（好適には $30\text{ ppm}/^{\circ}\text{C}$ 以下）のものを選定し、且つ特定の低弾性率として弾性率が 4 GPa 以下（好適には 3 GPa 以下）のものを選定する。かかる選定は、以下の根拠に基づいている。現在、CSP構造等のウエハ・レベル・パッケージ（WLP）において使用されている代表的な絶縁材料であるポリイミド系樹脂は、その熱膨張率が $40\text{ ppm}/^{\circ}\text{C}$ で、弾性率が 4 GPa であり、他方、シリコン（Si）を基板材とする半導体チップは、その熱膨張率が $3.4\text{ ppm}/^{\circ}\text{C}$ で、弾性率が 200 GPa である。従って、用いるのに理想とされる樹脂は、シリコン（Si）の $3.4\text{ ppm}/^{\circ}\text{C}$ に近い $40\text{ ppm}/^{\circ}\text{C}$ 以下（好適には $30\text{ ppm}/^{\circ}\text{C}$ 以下）、ポリイミド系樹脂よりも軟らかい弾性率 4 GPa 以下（好適には 3 GPa 以下）とするのが妥当である。

【0017】次に、本実施形態に係る半導体装置（パッケージ）の製造方法について、その製造工程を順に示す（図3～図5を参照しながら説明する。先ず最初の工程では（図3（a）参照）、周知の方法により、複数の半導体チップが作り込まれたウエハ10を作製する。例えば、シリコン（Si）基板の表面にシリコン酸化膜（ SiO_2 ）やシリコン窒化膜（ SiN ）、リンガラス（PSG）等からなる保護膜としてのパッシベーション膜11を形成した後、半導体チップ上に所要のパターンで多数形成されたアルミニウム（Al）や銅（Cu）等の電極パッド12に対応する部分のパッシベーション膜11を除去する。これによって、図示のように電極パッド12が露出し、且つ電極パッド12に対応する部分（開口部）を除いて表面がパッシベーション膜11で覆われたウエハ10が作製される。

【0018】なお、場合によっては、半導体チップにパッシベーション膜11を設けずに、後の工程で形成される特定の低熱膨張率及び低弾性率を有する樹脂層にパッシベーション膜の機能を兼ねさせてもよい。次の工程では（図3（b）参照）、フォトリソグラフィにより、先ずウエハ10の表面に絶縁層13を形成するための感光性のレジストとして特定の低熱膨張率及び特定の低弾性率を有する感光性の樹脂（例えば、熱膨張率が $30\text{ ppm}/^{\circ}\text{C}$ 以下で、弾性率が 3 GPa 以下のシリコン系樹脂）をスピンコート法により塗布し、次いでレジストのソフトベーク（プリベーク）処理を行い、電極パッド12の形状に応じたマスク（図示せず）を用いて露光及び現像（レジストのパターニング）を行い、更にハードベーク（ポストベーク）処理を行って、図示のように電極パッド12に到達するビア・ホール（開口部P）を有する樹脂層（層間絶縁層）13を形成する。

【0019】なお、上述したように感光性の樹脂に代え

て非感光性の樹脂を用いてもよい。この場合には、フォトリソグラフィを用いることはできないため、樹脂層13における開口部Pは、例えばレーザ加工により形成されることになる。また、樹脂を塗布する方法としては、スピンコート法以外に、当業者には周知の浸漬（ディップ）コート法やスプレーコート法等を用いてもよい。

【0020】次の工程では（図3（c）参照）、スパッタリングにより、電極パッド12及び樹脂層（層間絶縁層）13の上に金属薄膜14を形成する。この金属薄膜14は、特に明示していないが、密着金属層としての機能を有するクロム（Cr）層又はチタン（Ti）層とこの上に積層された銅（Cu）層の2層構造からなり、その形成は、全面にCr（又はTi）をスパッタリングにより堆積させて下層部分のCr層（又はTi層）を形成し、更にその上にCuをスパッタリングにより堆積させて上層部分のCu層を形成することにより行われる。ここに、上層部分のCu層は厚さ数Å程度に形成される。

【0021】このようにして形成された金属薄膜14は、後の配線形成工程、ビア・ポスト形成工程で必要な電解めっき処理のための給電層又はめっきベース膜として機能する。次の工程では（図3（d）参照）、金属薄膜14の上に感光性のレジスト15として例えばドライフィルムを形成し、更にマスク（図示せず）を用いて露光及び現像（レジストのパターニング）を行う。このパターニングは、次の工程で形成される配線パターンの形状に従うように行われる。

【0022】次の工程では（図4（a）参照）、給電層（金属薄膜14）からの給電による電解めっきにより、パターニングされたレジスト15をマスクにしてCuの配線パターンすなわち配線層（再配線層）16を厚さ数十 μm 程度に形成する。次の工程では（図4（b）参照）、例えば水酸化ナトリウム（ NaOH ）水溶液等のレジスト剥離液により、レジスト15（図4（a）参照）を剥離し、除去する。

【0023】次の工程では（図4（c）参照）、金属薄膜14と配線層16の上に感光性のレジスト17として例えばドライフィルムを形成し、更にマスク（図示せず）を用いて露光及び現像（レジストのパターニング）を行う。このパターニングは、次の工程で形成されるビア・ポストの形状に従うように行われる。次の工程では（図4（d）参照）、同様に給電層（金属薄膜14）からの給電による電解めっきにより、パターニングされたレジスト17をマスクにしてCuのビア・ポスト18を形成する。更に、必要に応じて、ビア・ポスト18の頂上部に金（Au）やパラジウム（Pd）等のバリエータ層を電解めっきで形成してもよい。

【0024】次の工程では（図5（a）参照）、同様に NaOH 水溶液等のレジスト剥離液により、レジスト17（図4（d）参照）を剥離し、除去する。次の工程では（図5（b）参照）、エッチングにより、露出してい

10

20

30

40

50

るめっきベース膜（金属薄膜14）を除去する。すなわち、Cuを溶かすエッチング液により金属薄膜14の上層部分のCu層を除去し、次いでCrを溶かすエッチング液により下層部分の密着金属層（Cr層）を除去する。これによって、図示のように樹脂層（層間絶縁層）13が露出する。

【0025】なお、Cuを溶かすエッチング液を用いた時、配線層16を構成するCuも同様に除去されて配線パターンが断線するように見えるが、実際にはかかる不都合は生じない。なぜならば、上述したようにめっきベース膜14の上層部分はCuのスパッタリングにより形成されるためその膜厚は数Å程度の厚さであるのに対し、配線層16はCuの電解めっきにより形成されるためその膜厚は数十μm程度の厚さであるので、めっきベース膜14のCuは完全に除去されても、配線層16のCuはその表層部分のみが除去される程度であり、配線パターンが断線することはないからである。

【0026】次の工程では（図5（c）参照）、ビア・ポスト18の付いた配線層（再配線層）16との間に層間絶縁層としての樹脂層13が形成されたウエハ10を封止樹脂により封止する。これは、例えば特開平10-79362号公報等で知られているような周知の方法を用いて、以下のように行うことができる。まず、上型と下型に分かれた封止金型を用意し、これを所定温度に加熱する。次いで、上型に樹脂フィルムを吸着させ、下型の凹部内にウエハ10を装着し、更にこの上に封止樹脂として上述した特定の低熱膨張率及び特定の低弾性率を有する樹脂を載せる。そして、封止金型の熱とプレスによる圧力で当該樹脂を熔融してウエハ全面に広げ、金型内で保持しながら当該樹脂を硬化させる。この後、金型からウエハ10を取り外す。この時、ウエハ10は樹脂フィルムと一体になっているので、この樹脂フィルムをウエハ10から引き剥がす。これによって、図示のようにビア・ポスト18の頂上部が露出し、且つ表面が封止樹脂層19で覆われたウエハ10が作製される。

【0027】最後の工程では（図5（d）参照）、露出したビア・ポスト18の頂上部に外部接続端子としてのはんだボール20を配置し、リフローを行ってのはんだボール20をビア・ポスト18に接合する。この後、ダイサー等により、封止樹脂層19と共にウエハ10を切断して個々の半導体素子（つまり半導体チップ30）に分離する。

【0028】以上説明したように、本実施形態に係るCSP構造の半導体装置及びその製造方法によれば、層間絶縁層としての樹脂層13及び本装置（パッケージ）の保護膜としての封止樹脂層19を、共に、特定の低熱膨張率及び特定の低弾性率を有する樹脂（一例として、熱膨張率が30ppm/°C以下で、弾性率が3GPa以下のシリコン系樹脂）によって形成しているので、本装置（パッケージ）をプリント基板等に実装した際に両者

間の熱膨張率の違いに起因して熱ストレスによる剪断応力が生じても、その剪断応力は、突起状電極（はんだボール20）のみに及ぼされることなく、その特定の樹脂層（層間絶縁層13及び封止樹脂層19）にも及ぼされる。

【0029】つまり、実装時以後において当該樹脂層13及び19は緩衝層として作用し、それによって熱ストレスによる剪断応力を有効に吸収し、その影響を緩和することができる。これは、パッケージとしての信頼性の向上及び実装時以後の接続信頼性の向上につながる。図6は本発明の他の実施形態に係る半導体装置（パッケージ）の断面的な構造を模式的に示したものである。本実施形態はBGA型のパッケージ構造を有するフリップチップ実装向けの半導体装置を対象としている。図中、30aは半導体チップを示す。

【0030】本実施形態の半導体装置（図6参照）と上述した実施形態の半導体装置（図2参照）との構成上の相違点は、パッケージを外部雰囲気から保護するための封止樹脂層19に代えて、同等の特定の低熱膨張率及び低弾性率を有する樹脂からなる封止樹脂層31が設けられていること、また再配線層16の端子形成部分に形成されたビア・ポスト18及びその上に接合されたのはんだボール20に代えて、再配線層16の端子形成部分に外部接続端子としてののはんだボール32が直接接合されていることである。他の構成要素については、図2の実施形態の場合と同じであるので、その説明は省略する。

【0031】本実施形態に係る半導体装置（パッケージ）の製造方法については、特に図示はしていないが、基本的には図2の実施形態の場合と同様にして製造することができる。すなわち、本実施形態の半導体装置は、図3（a）～図4（b）の工程と同様の工程を経て、更に図5（b）の工程で行った処理（露出しているめっきベース膜14を除去する処理）と同様の処理を経た後、樹脂層（層間絶縁層）13と再配線層16を覆うように封止樹脂層31をポッティング等により形成し、次いで封止樹脂層31において再配線層16の端子形成部分に対応する領域にレーザ加工によりビア・ホールを形成し、更にビア・ホール内にはんだボール32を配置し、リフローによりはんだボール32を再配線層16上に接合することにより、製造され得る。

【0032】本実施形態についても、樹脂層（層間絶縁層）13及び封止樹脂層31の存在により、図2の実施形態と同様の効果を奏することができる。図7は図2の実施形態（CSP構造の半導体装置）の変形例を示したものである。図7（a）に示す構成例は、図2の実施形態との対比において、特定の低熱膨張率及び低弾性率を有する樹脂からなる封止樹脂層19に代えて、かかる特定の低熱膨張率及び低弾性率をもたない通常のモールド用樹脂として用いられるエポキシ系樹脂やポリイミド系樹脂等からなる封止樹脂層21が形成されている点で相

違する。

【0033】図7(b)に示す構成例は、図7(a)に示す構成例との対比において、封止樹脂層21に代えて、同等の封止樹脂層21aが形成されている点、また特定の低熱膨張率及び低弾性率を有する樹脂層13に代えて、かかる特定の低熱膨張率及び低弾性率をもたないポリイミド系樹脂等からなる絶縁層22が形成されている点、また金属薄膜14に代えて、ややパターンサイズの小さい金属薄膜14aが形成されている点、また再配線層16に代えて、階段状に2層構造で再配線層16a及び16bが形成されている点、さらに絶縁層22と再配線層16bの間で隣り合う再配線層16a間に特定の低熱膨張率及び低弾性率を有する樹脂層(層間絶縁層)23が連続的に形成されている点で相違する。

【0034】ポリイミド系樹脂等からなる絶縁層22を設けた理由は、縦方向(パッケージの主面と直交する方向)の絶縁性をより確保するためである。図7(c)に示す構成例は、図7(b)に示す構成例との対比において、封止樹脂層21aに代えて、同等の封止樹脂層21bが形成されている点、また樹脂層23に代えて、絶縁層22と再配線層16bの間で隣り合う再配線層16a間に特定の低熱膨張率及び低弾性率を有する樹脂層(層間絶縁層)23aが不連続的に形成されている点で相違する。

【0035】ポリイミド系樹脂等からなる絶縁層22を設け、且つ、不連続的に形成した樹脂層23a間に封止樹脂層21bを設けた理由は、縦方向だけでなく横方向(パッケージの主面と平行する方向)の絶縁性についても確保するためである。図7(a)～図7(c)に示す各実施形態についても、樹脂層13、23、23aの存在により、図2の実施形態の場合ほどではないが、同様の効果を奏することができる。

【0036】図8は図6の実施形態(BGA型のパッケージ構造を有するフリップチップ実装向けの半導体装置)の変形例を示したものである。図8(a)に示す構成例は、図6の実施形態との対比において、特定の低熱膨張率及び低弾性率を有する樹脂からなる封止樹脂層31に代えて、かかる特定の低熱膨張率及び低弾性率をもたない通常のモールド用樹脂として用いられるエポキシ系樹脂やポリイミド系樹脂等からなる封止樹脂層33が形成されている点、また特定の低熱膨張率及び低弾性率を有する樹脂層13に代えて、かかる特定の低熱膨張率及び低弾性率をもたないポリイミド系樹脂等からなる絶縁層22が形成されている点、また金属薄膜14に代えて、ややパターンサイズの小さい金属薄膜14aが形成されている点、また再配線層16に代えて、階段状に2層構造で再配線層16a及び16bが形成されている点、さらに絶縁層22と再配線層16bの間で隣り合う再配線層16a間に特定の低熱膨張率及び低弾性率を有する樹脂層(層間絶縁層)23が連続的に形成されてい

る点で相違する。

【0037】図8(b)に示す構成例は、図8(a)に示す構成例との対比において、封止樹脂層33に代えて、同等の封止樹脂層33aが形成されている点、また樹脂層23に代えて、絶縁層22と再配線層16bの間で隣り合う再配線層16a間に特定の低熱膨張率及び低弾性率を有する樹脂層(層間絶縁層)23aが不連続的に形成されている点で相違する。

【0038】絶縁性を確保するための構成については、図7(b)及び図7(c)に示す各実施形態と同様である。図8(a)及び図8(b)に示す各実施形態についても、樹脂層23、23aの存在により、図6の実施形態の場合ほどではないが、同様の効果を奏することができる。

【0039】

【発明の効果】以上説明したように本発明によれば、少なくとも層間絶縁層の一部を、特定の低熱膨張率及び特定の低弾性率を有する樹脂によって形成しているので、実装時以後に半導体チップと実装基板の熱膨張率の違いに起因して生じる熱ストレスによる影響を、はんだボール等の突起状電極だけでなく、その特定の樹脂層によっても緩和することができる。これによって、パッケージとしての信頼性と共に実装時以後の接続信頼性を向上させることが可能となる。

【図面の簡単な説明】

【図1】従来技術に係る突起状電極を備えた半導体装置(パッケージ)の問題点を説明するための図である。

【図2】本発明の一実施形態に係る半導体装置(パッケージ)の構造を模式的に示す断面図である。

【図3】図2の半導体装置(パッケージ)の製造工程を示す断面図である。

【図4】図3の製造工程に続く製造工程を示す断面図である。

【図5】図4の製造工程に続く製造工程を示す断面図である。

【図6】本発明の他の実施形態に係る半導体装置(パッケージ)の構造を模式的に示す断面図である。

【図7】図2の実施形態の変形例を示す断面図である。

【図8】図6の実施形態の変形例を示す断面図である。

【符号の説明】

10…ウエハ

11…パッシベーション膜

12…電極パッド

13、23、23a…絶縁層(特定の低熱膨張率、低弾性率を有する樹脂層)

14、14a…金属薄膜(給電層、めっきベース膜)

16、16a、16b…配線層(再配線層)

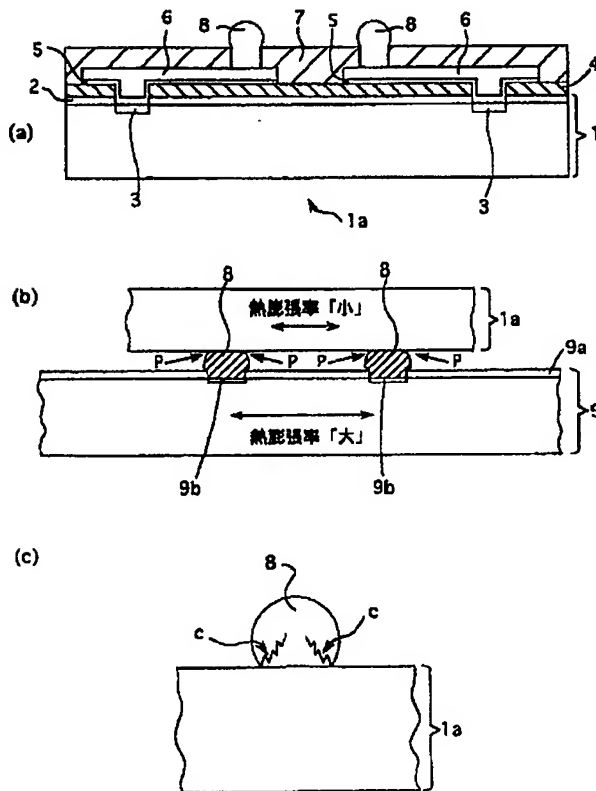
18…ビア・ポスト

19、31…封止樹脂層(特定の低熱膨張率、低弾性率を有する樹脂層)

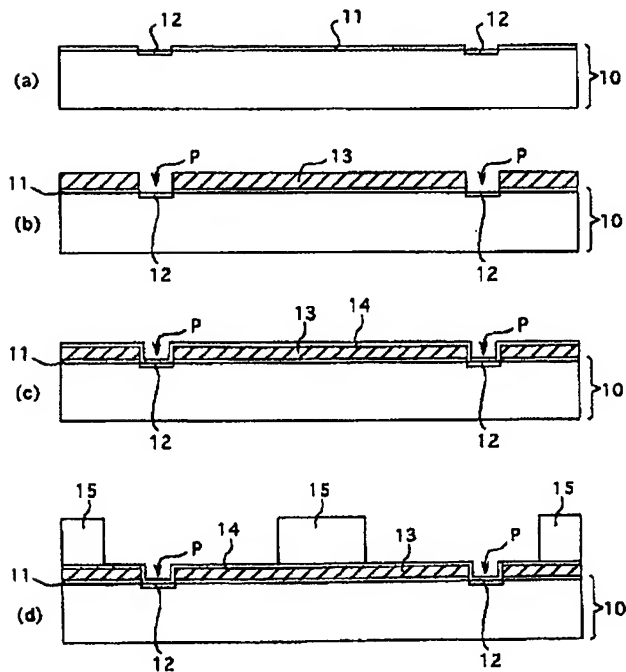
11

20、32…はんだボール（突起状電極、外部接続端子）

【図1】



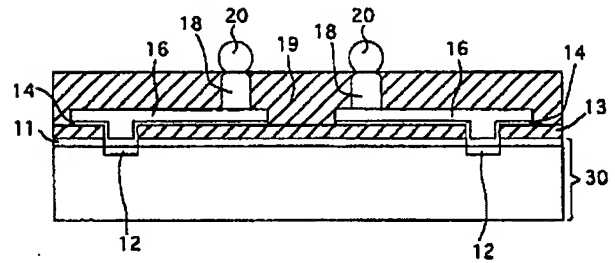
【図3】



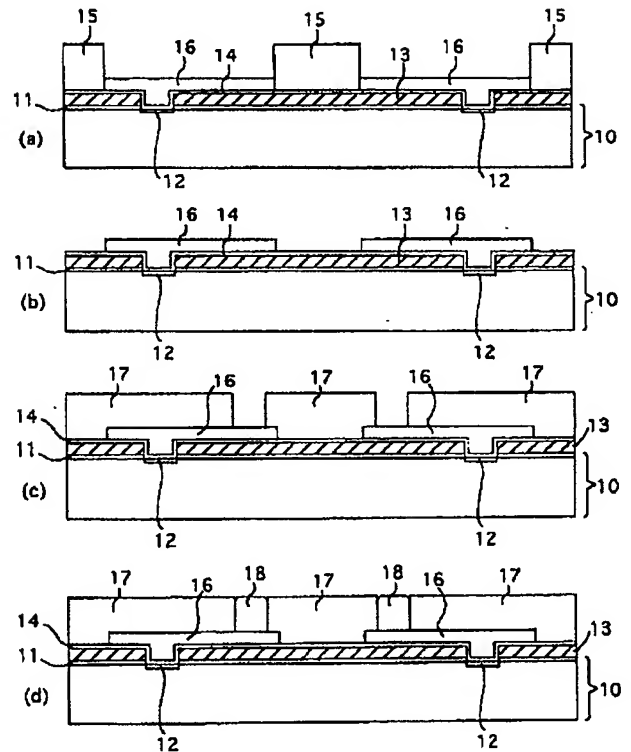
12

21、21a、21b、33、33a…封止樹脂層
30、30a…半導体チップ

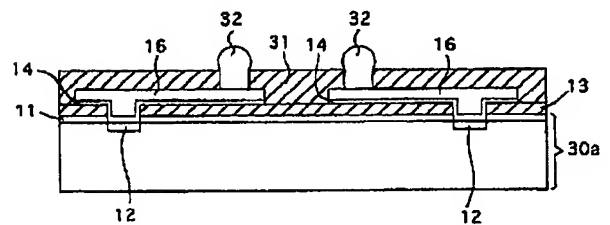
【図2】



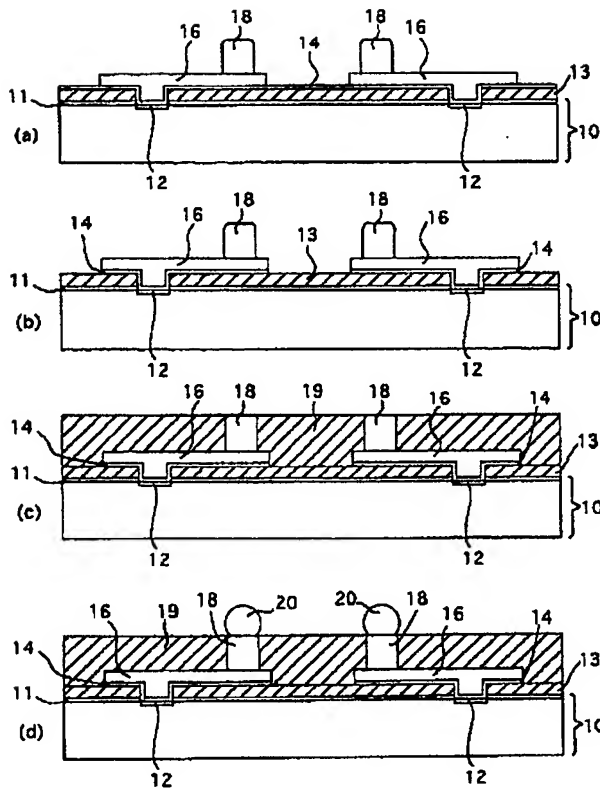
【図4】



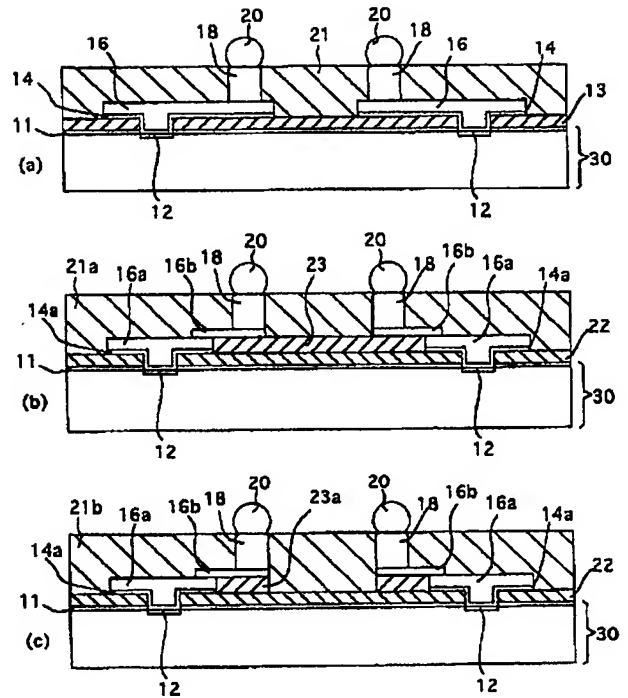
【図6】



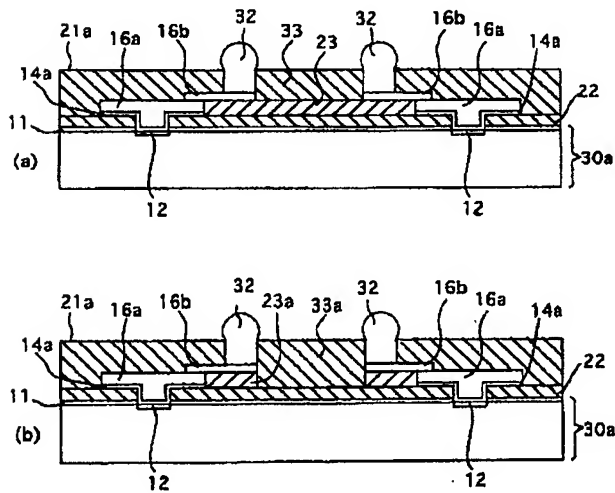
【図5】



【図7】



【図8】



フロントページの続き

(72) 発明者 若林 信一
長野県長野市大字栗田字舎利田 711 番地
新光電気工業株式会社内

(72) 発明者 小野 雅史
長野県長野市大字栗田字舎利田 711 番地
新光電気工業株式会社内

(72) 発明者 吉原 孝子
長野県長野市大字栗田字舎利田 711 番地
新光電気工業株式会社内

(72) 発明者 山野 孝治
長野県長野市大字栗田字舎利田 711 番地
新光電気工業株式会社内

(72) 発明者 芦沢 君雄
長野県長野市大字栗田字舎利田 711 番地
新光電気工業株式会社内

Fターム(参考) 4M109 AA02 BA03 CA03 CA05 CA08
CA22 DB17 EA02 EA08 EA10
EC04 ED04 EE02
5F061 AA02 BA03 CA03 CA05 CA08
CA22 CB13 DE03